

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-261945

(43) Date of publication of application : 29.09.1998

(51)Int.Cl. H03K 17/68
H03K 17/687

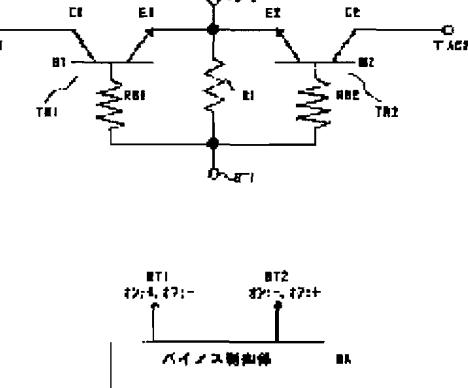
(21)Application number : 09-064673 (71)Applicant : N T T DATA TSUSHIN KK
(22)Date of filing : 18.03.1997 (72)Inventor : HANEDA SHOJI

(54) SEMICONDUCTOR SWITCH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor switch that directly responds to electric control, is possible for high speed operation and has a small voltage drop and a small power loss at the continuity.

SOLUTION: A semiconductor switch is composed of 1st and 2nd bipolar transistors(TRs) 1, 2 and a control circuit BA. The 1st bipolar TR1 controls opening and closing of a current path between an emitter and a collector of the TR1 in response to a bias voltage between the emitter and the base of the TR1, the 2nd bipolar TR2 where an emitter is connected to the emitter of the 1st TR1 controls opening and closing of a current part between the emitter and the collector in response to the bias voltage between the emitter and the base. The control circuit BA controls the current path connected in series by applying a bias voltage between each of the emitters where the 1st and 2nd bipolar TRs TR1, TR2 are connected to the bases of the 1st and 2nd bipolar TRs, TR1, TR2 mutually.



LEGAL STATUS

[Date of request for examination] 04.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3529238

[Date of registration] 05.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-261945

(43)公開日 平成10年(1998)9月29日

(51)Int.Cl.⁶

H 03 K 17/68
17/687

識別記号

F I

H 03 K 17/68
17/687

G

審査請求 未請求 請求項の数51 O.L (全 15 頁)

(21)出願番号 特願平9-64673

(22)出願日 平成9年(1997)3月18日

(71)出願人 000102728

エヌ・ティ・ティ・データ通信株式会社
東京都江東区豊洲三丁目3番3号

(72)発明者 羽田 正二

東京都江東区豊洲三丁目3番3号 エヌ・
ティ・ティ・データ通信株式会社内

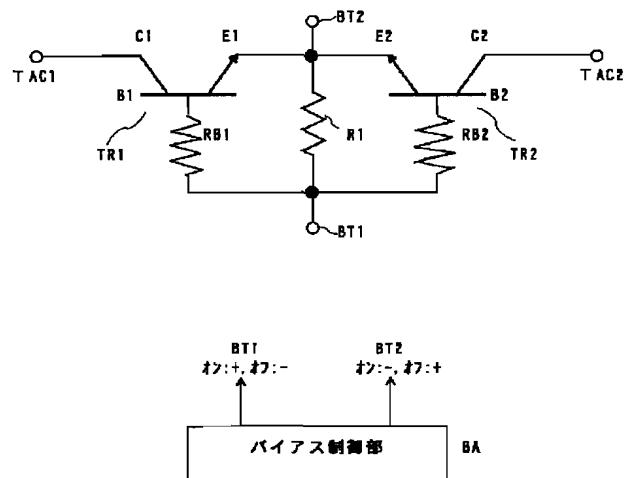
(74)代理人 弁理士 木村 満

(54)【発明の名称】 半導体スイッチ

(57)【要約】

【課題】 電気的制御に直接応動し、高速動作が可能で、導通時の電圧降下及び電力損失が小さい半導体スイッチを提供することである。

【解決手段】 半導体スイッチは、第1と第2のバイポーラトランジスタTR1, TR2と制御回路BAとから構成される。第1のバイポーラトランジスタTR1は、エミッタとベースとの間のバイアス電圧に応じてエミッタコレクタ間の電流路を開閉制御し、第2のバイポーラトランジスタTR2は、エミッタが第1のトランジスタのエミッタに接続され、エミッタとベースとの間のバイアス電圧に応じてエミッタコレクタ間の電流路を開閉制御する。制御回路BAは、第1及び第2のバイポーラトランジスタのベースと、第1及び第2のバイポーラトランジスタの相互に接続された各エミッタとの間にバイアス電圧を印加して、直列接続された電流路を制御する。



【特許請求の範囲】

【請求項1】第1の半導体スイッチ素子と第2の半導体スイッチ素子と制御回路とを具備する半導体スイッチであって、

前記第1の半導体スイッチ素子は、第1の電流路と第1の制御端子とを有し、前記第1の制御端子に印加される信号に応じて前記第1の電流路を開閉制御し、

前記第2の半導体スイッチ素子は、第2の電流路と第2の制御端子とを有し、前記第2の制御端子に印加される信号に応じて前記第2の電流路を開閉制御し、

前記第1の電流路と前記第2の電流路とは、直列に且つ対称的に接続され、

前記制御回路は、前記第1と第2の制御端子に信号を印加し、前記直列接続された前記第1と第2の電流路の開閉を制御する、ことを特徴とする半導体スイッチ。

【請求項2】前記第1と第2の半導体スイッチ素子の電流路は、それぞれ、流れる電流の方向性を有し、前記第1と第2の半導体スイッチ素子は、それらの電流路が互いに反対方向の方向性を有するように、直列に且つ対称的に接続される、ことを特徴とする請求項1に記載の半導体スイッチ。

【請求項3】前記第1の半導体スイッチ素子は、前記第2の半導体スイッチ素子との接続点の電圧と前記第1の制御端子との間の電圧に応じて前記電流路を開閉制御し、

前記第2の半導体スイッチ素子は、前記第1の半導体スイッチ素子との接続点の電圧と前記第2の制御端子との間の電圧に応じて前記電流路を開閉制御し、

前記制御回路は、前記第1と第2の制御端子と、該第1及び第2の半導体スイッチ素子の相互に接続された点との間に電圧を印加して、前記直列接続された前記第1と第2の電流路のオン・オフを制御する、ことを特徴とする請求項1又は2に記載の半導体スイッチ。

【請求項4】前記制御回路は、前記第1の制御端子に接続された第1の抵抗と、前記第2の制御端子に接続された第2の抵抗と、前記第1と第2の電流路の接続点に接続された第3の抵抗を含み、前記第1乃至第3の抵抗を介して信号を印加する、ことを特徴とする請求項3に記載の半導体スイッチ。

【請求項5】前記制御回路は、前記第1及び第2の制御端子に接続され、制御用の電流を制限する抵抗を含む、ことを特徴とする請求項1、2又は3に記載の半導体スイッチ。

【請求項6】前記制御回路は、オン制御時に、前記第1及び第2の半導体スイッチ素子を実質的に完全にオンさせ、オフ制御時に、前記第1及び第2の半導体スイッチ素子を実質的に完全にオフさせる信号を印加する、ことを特徴とする請求項1乃至5のうちのいずれか1項に記載の半導体スイッチ。

【請求項7】前記制御回路は、スイッチング対象の電流

により充電される被充電手段と、前記被充電手段の充電電力を用いて前記信号を前記第1及び第2の半導体スイッチ素子に供給する、ことを特徴とする請求項1乃至6のうちのいずれか1項に記載の半導体スイッチ。

【請求項8】前記被充電手段は、二次電池又はコンデンサから構成される、ことを特徴とする請求項7に記載の半導体スイッチ。

【請求項9】第1の半導体スイッチ素子と第2の半導体スイッチ素子と制御回路とを備え、

前記第1の半導体スイッチ素子は、電流路の両端となる一対の電流路端子及び制御端子を有し、前記一対の電流路端子の一方と前記制御端子との間のバイアス電圧に応じて前記電流路を開閉制御し、

前記第2の半導体スイッチ素子は、電流路の両端となる一対の電流路端子及び制御端子を有し、前記一対の電流路端子の一方を前記第1の半導体スイッチ素子の前記一方の電流路端子に接続して、前記電流路を前記第1の半導体スイッチ素子の電流路に直列に且つ対称的に対をなして接続し、該一対の電流路端子の一方と前記制御端子との間のバイアス電圧に応じて前記電流路を開閉制御し、

前記制御回路は、これら対をなす第1及び第2の半導体スイッチ素子の制御端子と、該第1及び第2の半導体スイッチ素子の相互に接続された各一方の電流路端子との間に共通のバイアス電圧を印加して、前記直列接続された電流路を制御する、を具備することを特徴とする半導体スイッチ。

【請求項10】前記第1及び第2の半導体スイッチ素子は、それぞれの電流路の方向性を逆向きとして直列接続されており、対称的に構成したことを特徴とする請求項9に記載の半導体スイッチ。

【請求項11】前記制御回路は、前記第1及び第2の半導体スイッチ素子の制御端子と、該第1及び第2の半導体スイッチ素子の相互に接続された各一方の電流路端子との間に共通に接続された抵抗を含むことを特徴とする請求項9又は10に記載の半導体スイッチ。

【請求項12】前記制御回路は、前記第1及び第2の半導体スイッチ素子の制御端子に接続され、制御電流を制限する抵抗を含む、ことを特徴とする請求項9乃至11のうちのいずれか1項に記載の半導体スイッチ。

【請求項13】前記制御回路は、オン制御時に充分に深い順バイアスを前記第1及び第2の半導体スイッチ素子に印加することを特徴とする請求項9乃至12のうちのいずれか1項に記載の半導体スイッチ。

【請求項14】第1と第2のバイポーラトランジスタと制御回路とから構成される半導体スイッチであって、前記第1のバイポーラトランジスタは、エミッタとコレクタとベースを有し、エミッタとベースとの間のバイアス電圧に応じてエミッタコレクタ間の電流路を開閉制御し、

前記第2のバイポーラトランジスタは、エミッタとコレクタとベースを有し、エミッタが前記第1のバイポーラトランジスタのエミッタに接続され、エミッタとベースとの間のバイアス電圧に応じてエミッターコレクタ間の電流路を開閉制御し、

前記制御回路は、前記第1及び第2のバイポーラトランジスタのベースと、前記第1及び第2のバイポーラトランジスタの相互に接続された各エミッタとの間にバイアス電圧を印加して、直列接続された前記電流路を制御する、ことを特徴とする半導体スイッチ。

【請求項15】前記制御回路は、前記第1及び第2のバイポーラトランジスタのベースと、該第1及び第2のバイポーラトランジスタの相互に接続された各エミッタとの間に共通に接続された抵抗を含むことを特徴とする請求項14に記載の半導体スイッチ。

【請求項16】前記制御回路は、前記第1及び第2のバイポーラトランジスタのベースに接続されたベース電流制限用の抵抗を含む、ことを特徴とする請求項14又は15に記載の半導体スイッチ。

【請求項17】前記制御回路は、オン制御時に、前記第1と第2のバイポーラトランジスタを飽和領域で動作させる充分に深い順バイアスを前記第1及び第2のバイポーラトランジスタのベースエミッタ間に印加することを特徴とする請求項14、15又は16に記載の半導体スイッチ。

【請求項18】前記制御回路は、スイッチング対象の電流により充電される被充電手段と、前記被充電手段の充電電力を用いて前記バイアスを前記第1及び第2のバイポーラトランジスタに印加する、ことを特徴とする請求項14乃至17のうちのいずれか1項に記載の半導体スイッチ。

【請求項19】前記第1と第2のバイポーラトランジスタの少なくとも一方の前記エミッタと前記コレクタは、実質的に同一の有効厚さを有する半導体層を備える、ことを特徴とする請求項14乃至18のうちのいずれか1項に記載の半導体スイッチ。

【請求項20】前記第1と第2のバイポーラトランジスタの前記エミッタは、一体に形成された半導体層を備える、ことを特徴とする請求項14乃至18のうちのいずれか1項に記載の半導体スイッチ。

【請求項21】前記第1と第2のバイポーラトランジスタの前記エミッタは、一体に形成された半導体層を備え、

前記エミッタの半導体層は、前記第1と第2のバイポーラトランジスタの前記コレクタを形成する半導体層の少なくとも一方と等しい厚さ又はより厚く形成されている、ことを特徴とする請求項14乃至18のうちのいずれか1項に記載の半導体スイッチ。

【請求項22】第1のFET(電界効果型トランジスタ)と第2のFETと制御回路とから構成される半導体

スイッチであって、

前記第1のFETは、ソースとドレインとゲートを有し、ソースとドレインの一方とゲートとの間のバイアス電圧に応じてソースードレイン間の電流路を開閉制御し、

前記第2のFETは、ソースとドレインとゲートを有し、ソースとドレインの一方が前記第1のFETのソース及びドレインの一方に接続され、ソースードレイン間の電流路が前記第1のFETの電流路に直列に且つ対称的に接続され、該ソース及びドレインの一方と前記ゲートとの間のバイアス電圧に応じてソースードレイン間の電流路を開閉制御し、

前記制御回路は、前記第1及び第2のFETのゲートと、該第1及び第2のFETの電流路の接続点との間にバイアス電圧を印加して、直列接続された前記電流路を制御する、ことを特徴とする半導体スイッチ。

【請求項23】前記第1及び第2のFETは、それぞれの電流路の方向性を逆向きとして直列接続されていることを特徴とする請求項22に記載の半導体スイッチ。

【請求項24】前記制御回路は、前記第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各々のソース及びドレインの一方との間に共通に接続された抵抗を含むことを特徴とする請求項22又は23に記載の半導体スイッチ。

【請求項25】前記制御回路は、オン制御時に、前記第1及び第2のFETを飽和領域で実質的に完全にオンさせ、オフ制御時に、前記第1及び第2のFETを実質的に完全にオフするバイアスを印加する、ことを特徴とする請求項22乃至24のうちのいずれか1項に記載の半導体スイッチ。

【請求項26】前記第1及び第2のFETは、ジャンクション型FETであることを特徴とする請求項22乃至25のうちのいずれか1項に記載の半導体スイッチ。

【請求項27】第1のFETと第2のFETと制御回路とを備する半導体スイッチであって、

前記第1のFETは、電流路の両端となるソースとドレインとゲートとを有し、前記ソースと前記ゲートとの間のバイアス電圧に応じてソースードレイン間の電流路を開閉制御し、

前記第2のFETは、ソースとドレインとゲートを有し、前記ソースが前記第1のFETの前記ソースに接続され、該ソースとゲートとの間のバイアス電圧に応じてソースードレイン間の電流路を開閉制御し、

前記制御回路は、前記第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各ソースとの間にバイアス電圧を印加して、前記直列接続された前記第1と第2のFETの電流路を制御する、ことを特徴とする半導体スイッチ。

【請求項28】前記制御回路は、前記第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続

された各ソースとの間に共通に接続された抵抗を含む、ことを特徴とする請求項27に記載の半導体スイッチ。

【請求項29】前記制御回路は、オン制御時に、前記第1及び第2のFETを実質的に完全にオンさせ、オフ制御時に、前記第1及び第2のFETを実質的に完全にオフさせるバイアスを印加する、ことを特徴とする請求項27又は28に記載の半導体スイッチ。

【請求項30】前記第1及び第2のFETは、MOS(金属酸化物半導体)型FETであることを特徴とする請求項27乃至29のうちのいずれか1項に記載の半導体スイッチ。

【請求項31】ジャンクション型FETと制御回路とを具備する半導体スイッチであって、

前記ジャンクション型FETは、ソース及びドレインを含む電流路とゲートとを有し、前記ソース及びドレインの一方と前記ゲートとの間にバイアス電圧に応じて前記電流路を開閉制御し、

前記制御回路は、前記ジャンクション型FETのゲートと、前記ソース及びドレインとの間にバイアス電圧を印加して、ソースードレイン間の電流路を制御する、ことを特徴とする半導体スイッチ。

【請求項32】前記制御回路は、前記ジャンクション型FETのゲートに一端が接続された第1の抵抗と、前記ジャンクション型FETのソース及びドレインに各々のアノード及びカソードの一方がそれぞれ接続され、前記アノード及びカソードの各他方が前記第1の抵抗の他端に共通に接続された第1及び第2のダイオードと、前記第1及び第2のダイオードにそれぞれ並列に接続された第2及び第3の抵抗と、を含むことを特徴とする請求項31に記載の半導体スイッチ。

【請求項33】第1と第2の半導体スイッチ素子と第1乃至第3の接続端子を具備する半導体スイッチであって、

前記第1の半導体スイッチ素子は、第1の電流路と第1の制御端子とを有し、前記第1の制御端子に印加される信号に応じて前記第1の電流路を開閉制御し、

前記第2の半導体スイッチ素子は、第2の電流路と第2の制御端子とを有し、前記第2の制御端子に印加される信号に応じて前記第2の電流路を開閉制御し、

前記第1の電流路と前記第2の電流路とは、直列に且つ対称的に接続され、

前記第1と第2の接続端子は前記第1の電流路と前記第2の電流路との直列回路の一端と他端にそれぞれ接続された外部接続用の端子であり、

前記第3の接続端子は、前記第1と第2の制御端子に接続され、前記直列接続された前記第1と第2の電流路の開閉を制御するための制御信号が印加される、ことを特徴とする半導体スイッチ。

【請求項34】前記第1の半導体スイッチ素子と前記第2の半導体スイッチ素子との接続点に接続され、前記第

1と第2の電流路の開閉を制御するための制御信号が印加される第4の接続端子を備える、ことを特徴とする請求項33に記載の半導体スイッチ。

【請求項35】前記第1の制御端子と前記第3の接続端子との間に接続された第1の抵抗と、前記第2の制御端子と前記第3の接続端子との間に接続された第2の抵抗と、前記第1と第2の電流路の接続点と前記第3の接続端子との間に接続された第3の抵抗を含む、ことを特徴とする請求項33又は34に記載の半導体スイッチ。

【請求項36】前記第1及び第2の制御端子と前記第3の接続端子との間に接続され、制御信号の電流を制限する抵抗を含む、ことを特徴とする請求項33又は34に記載の半導体スイッチ。

【請求項37】第1と第2のバイポーラトランジスタと第1乃至第3の接続端子とから構成される半導体スイッチであって、

前記第1のバイポーラトランジスタのエミッタと前記第2のバイポーラトランジスタのエミッタとは互いに接続されており、

前記第1の接続端子は、前記第1のバイポーラトランジスタのコレクタに接続され、

前記第2の接続端子は、前記第2のバイポーラトランジスタのコレクタに接続され、

前記第3の接続端子は、前記第1と前記第2のバイポーラトランジスタのベースに接続され、前記第1と第2のバイポーラトランジスタをオン又はオフするための制御信号が印加される、ことを特徴とする半導体スイッチ。

【請求項38】前記第1及び第2のバイポーラトランジスタの相互に接続されたエミッタに接続された第4の接続端子を含むことを特徴とする請求項37に記載の半導体スイッチ。

【請求項39】前記第3の接続端子と前記第4の接続端子との間に接続された抵抗を含むことを特徴とする請求項38に記載の半導体スイッチ。

【請求項40】前記第1及び第2のバイポーラトランジスタのベースに接続されたベース電流制限用の抵抗を含む、ことを特徴とする請求項37、38、又は39に記載の半導体スイッチ。

【請求項41】前記第1と第2のバイポーラトランジスタの少なくとも一方の前記エミッタと前記コレクタは、実質的に同一の有効厚さを有する半導体層を備える、ことを特徴とする請求項37乃至40のいずれか1項に記載の半導体スイッチ。

【請求項42】前記第1と第2のバイポーラトランジスタの前記エミッタは、一体に形成された半導体層を備える、ことを特徴とする請求項37乃至41のうちのいずれか1項に記載の半導体スイッチ。

【請求項43】第1と第2のFETと第1乃至第3の接続端子とから構成される半導体スイッチであって、前記第1のFETのソース及びドレインの一方が前記第

2のFETのソース及びドレインの一方に接続され、前記第1の接続端子は、前記第1のFETの前記ソース及びドレインの他方に接続され、

前記第2の接続端子は、前記第2のFETの前記ソース及びドレインの他方に接続され、

前記第3の接続端子は、前記第1と前記第2のFETのゲートとに接続され、前記第1と第2のFETとを共通にオン又はオフするための信号が印加され、ことを特徴とする半導体スイッチ。

【請求項44】前記第1及び第2のFETは、ソースが相互に、又は、ドレインが相互に接続されていることを特徴とする請求項43に記載の半導体スイッチ。

【請求項45】前記第1のFETと第2のFETが相互に接続された点に接続され、前記第1と第2のFETとを共通にオン又はオフするための信号が印加される第4の接続端子をさらに備えることを特徴とする請求項43又は44に記載の半導体スイッチ。

【請求項46】前記第1及び第2のFETのゲートと、前記第1及び第2のFETの相互に接続された各々のソース及びドレインの一方との間に共通に接続された抵抗を含むことを特徴とする請求項43、44又は45に記載の半導体スイッチ。

【請求項47】前記第1及び第2のFETは、ジャンクション型FETであることを特徴とする請求項43乃至46のうちのいずれか1項に記載の半導体スイッチ。

【請求項48】第1と第2のFETと第1乃至第3の接続端子とを具備する半導体スイッチであって、前記第1と第2のFETのソースが相互に接続され、第1の接続端子は、前記第1のFETのドレインに接続され、第2の接続端子は、前記第2のFETのドレインに接続され、

第3の接続端子は、前記第1と第2のFETのゲートに接続される、ことを特徴とする半導体スイッチ。

【請求項49】前記第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各ソースとの間に共通に接続された抵抗を含む、ことを特徴とする請求項48に記載の半導体スイッチ。

【請求項50】前記第1及び第2のFETは、MOS(金属酸化物半導体)型FETであることを特徴とする請求項48又は49に記載の半導体スイッチ。

【請求項51】ジャンクション型FETと第1乃至第4の接続端子と第1乃至第3の抵抗とを具備する半導体スイッチであって、

前記第1の接続端子は、前記ジャンクション型FETのソースに接続され、

前記第2の接続端子は、前記ジャンクション型FETのドレインに接続され、

前記第1の抵抗は一端が前記ジャンクション型FETのゲートに接続され、

前記第3の接続端子は、前記第1の抵抗の他端に接続され、該ジャンクション型FETをオン又はオフするための制御信号が印加され、

前記第2の抵抗は前記第3の接続端子と前記第1の接続端子との間に接続され、

前記第3の抵抗は前記第3の接続端子と前記第2の接続端子との間に接続され、

前記第4の接続端子は、前記ジャンクション型FETのゲートに接続され、

前記ジャンクション型FETのオン・オフを制御するための信号が前記第3と第4の接続端子に供給される、ことを特徴とする半導体スイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、信号をオン／オフしてスイッチング制御する半導体スイッチに係り、特に交流電流のスイッチングに好適な半導体スイッチに関する。

【0002】

【従来の技術】一般に、交流信号をオン／オフするスイッチング制御には、機械的に接離する接点を用いたメカニカルスイッチ又は半導体スイッチング素子により無接点でスイッチング制御を行う半導体スイッチが用いられている。メカニカルスイッチを電気的に制御するリードスイッチやリレー等もしばしば用いられている。

【0003】交流信号のオン／オフを高速で制御しなければならない場合、あるいは電気的な制御回路の動作に基づいて交流信号をオン／オフしたい場合には、半導体スイッチが用いられることが多い。

【0004】交流電流のオン／オフに用いることができる半導体スイッチとしては、サイリスタ、トライアック、GTO、ソリッドステートリレー(SSR)、IGBT等が用いられている。

【0005】これらの半導体スイッチは、いずれも導通時の電圧降下が大きい。そのため、電力損失も大きく、スイッチによる損失を小さく抑えたい場合には、よい結果が得られないことが多かった。さらに、いわゆるスイッチング電源の一種であるインバータ電源等の電源回路に用いる場合には、高電圧をスイッチングしなければならず、充分な耐電圧が必要である。また、スイッチをオンした時には、オーバーシュートによる大電流が流れることがあり、この大電流による影響も無視することはできない。

【0006】

【発明が解決しようとする課題】上述したように、従来、交流信号をオン／オフ制御するスイッチとして用いられるメカニカルスイッチ及び半導体スイッチには、種々の問題があった。例えば、メカニカルスイッチは、高速動作や電気的制御に不便であり、半導体スイッチは、導通時の電圧降下が大きく、スイッチによる電力損失が

大きい。

【0007】この発明は、上述した事情に鑑みてなされたもので、電気的制御に直接応動し、高速動作が可能で、しかも導通時の電圧降下及び電力損失を低く抑えることが可能な半導体スイッチを提供することを目的とする。

【0008】

【課題を解決するための手段】上述の目的を達成するため、この発明の第1の観点による半導体スイッチは、第1の半導体スイッチ素子と第2の半導体スイッチ素子と制御回路とを具備し、前記第1の半導体スイッチ素子は、第1の電流路と第1の制御端子とを有し、前記第1の制御端子に印加される信号に応じて前記第1の電流路を開閉制御し、前記第2の半導体スイッチ素子は、第2の電流路と第2の制御端子とを有し、前記第2の制御端子に印加される信号に応じて前記第2の電流路を開閉制御し、前記第1の電流路と前記第2の電流路とは、直列に且つ対称的に接続され、前記制御回路は、前記第1と第2の制御端子に信号を印加し、前記直列接続された前記第1と第2の電流路の開閉を制御する。

【0009】このような構成によれば、第1と第2の半導体スイッチ素子が一体的にオン・オフし、電流を制限する。従って、単体の半導体スイッチ素子で電流路をオン・オフする場合よりも、確実に電流路をオン・オフすることができる。半導体スイッチ素子としては、バイポーラトランジスタ、電界効果型トランジスタ、フォトトランジスタ、フォトダイオード、ホール素子等を使用することができる。バイポーラトランジスタを使用する場合には、制御回路は、ベースにバイアス電圧及び電流を印加する。FETを使用する場合には、制御回路は、ゲートにバイアス電圧を印加する。フォトダイオード、フォトトランジスタを使用する場合には、制御回路は光を印加してこれらをオン・オフする。この場合、光という物理的媒体により、制御回路と第1と第2の半導体スイッチ素子は接続される。ホール素子を使用する場合には、制御回路は磁界（磁束）を印加してこれらをオン・オフする。この場合、磁束という物理的媒体により、制御回路と第1と第2の半導体スイッチ素子は接続される。

【0010】前記第1及び第2の半導体スイッチ素子は、それぞれの電流路の方向性を逆向きとして直列接続して、対称的に構成してもよい。このような構成とすれば、交流電流をスイッチングする場合に、いずれか一方の半導体スイッチ素子により耐圧が確保される。従って、交流スイッチとして好適である。

【0011】例えば、前記第1の半導体スイッチ素子は、前記第2の半導体スイッチ素子との接続点の電圧と前記第1の制御端子との間の電圧に応じて前記電流路を開閉制御し、前記第2の半導体スイッチ素子は、前記第1の半導体スイッチ素子との接続点の電圧と前記第2の

制御端子との間の電圧に応じて前記電流路を開閉制御する。この場合、前記制御回路は、前記第1と第2の制御端子と、該第1及び第2の半導体スイッチ素子の相互に接続された点との間に電圧を印加して、前記直列接続された前記第1と第2の電流路のオン・オフを制御する。

【0012】前記制御回路は、例えば、前記第1の制御端子に接続された第1の抵抗と、前記第2の制御端子に接続された第2の抵抗と、前記第1と第2の電流路の接続点に接続された第3の抵抗を含み、前記第1乃至第3の抵抗を介して信号を印加する。この構成では、例えば、第1乃至第3の抵抗により、バイアス電圧を確保することができる。

【0013】また、前記制御回路は、前記第1及び第2の制御端子に接続され、制御用の電流を制限する抵抗を含んでもよい。

【0014】前記制御回路は、オン制御時に前記第1及び第2の半導体スイッチ素子が実質的に完全にオンし、オフ制御時に前記第1及び第2の半導体スイッチ素子が実質的に完全にオフするバイアスを前記第1及び第2の半導体スイッチ素子に印加することが望ましい。このような構成とすることにより、第1と第2の半導体スイッチ素子を十分にオン・オフさせて、この半導体スイッチのオン抵抗を十分に低減し、オフ時の電流を完全に遮断することができる。バイアスのかけ方、電圧等は、半導体素子の種類、不純物濃度等によって個々に変化するため、適切なものを選択する。例えば、ノーマリーオンの素子を用いる場合には、オン時は、0-バイアスを印加し、オフ時には第1と第2の半導体スイッチを完全にオフさせるバイアスを印加する。また、ノーマリーオフの素子を用いる場合には、オフ時は、0-バイアスを印加し、オン時には第1と第2の半導体スイッチを完全にオンさせる信号を供給する。

【0015】前記制御回路は、例えば、スイッチング対象の電流により充電される被充電手段と、前記被充電手段の充電電力を用いて前記信号を前記第1及び第2の半導体スイッチ素子に印加する手段を備える。この半導体スイッチがオフの時に、被充電手段を充電し、この充電電力を用いてバイアス電圧を印加することにより、別電源を用いること無く、簡単に半導体スイッチをオン・オフすることができる。前記被充電手段は、二次電池又はスーパーコンデンサなどのコンデンサから構成される。

【0016】また、この発明の第2の観点にかかる半導体スイッチは、第1の半導体スイッチ素子と第2の半導体スイッチ素子と制御回路とを備え、前記第1の半導体スイッチ素子は、電流路の両端となる一対の電流路端子及び制御端子を有し、前記一対の電流路端子の一方と前記制御端子との間のバイアス電圧に応じて前記電流路を開閉制御し、前記第2の半導体スイッチ素子は、電流路の両端となる一対の電流路端子及び制御端子を有し、前記一対の電流路端子の一方を前記第1の半導体スイッチ

素子の前記一方の電流路端子に接続して、前記電流路を前記第1の半導体スイッチ素子の電流路に直列に且つ対称的に対をなして接続し、該一対の電流路端子の一方と前記制御端子との間のバイアス電圧に応じて前記電流路を開閉制御し、前記制御回路は、これら対をなす第1及び第2の半導体スイッチ素子の制御端子と、該第1及び第2の半導体スイッチ素子の相互に接続された各一方の電流路端子との間に共通のバイアス電圧を印加して、前記直列接続された電流路を制御する。

【0017】このような構成によれば、第1と第2の半導体スイッチ素子が一体的にオン・オフし、電流を制限する。従って、単体の半導体スイッチ素子で電流路をオン・オフする場合よりも、確実に電流路をオン・オフすることができる。また、バイアス電圧の制御により、電流路をほぼ完全にオン・オフできるので、簡単な制御で電流路をオン・オフすることができる。

【0018】半導体スイッチ素子としては、バイポーラトランジスタ、電界効果型トランジスタ、フォトトランジスタ、フォトダイオード、ホール素子等を使用することができる。バイポーラトランジスタを使用する場合には、制御回路は、ベースにバイアス電圧及び電流を印加する。FETを使用する場合には、制御回路は、ゲートにバイアス電圧を印加する。フォトダイオード、フォトトランジスタを使用する場合には、制御回路は光を印加してこれらをオン・オフする。この場合、光という物理的媒体により、制御回路と第1と第2の半導体スイッチ素子は接続される。ホール素子を使用する場合には、制御回路は磁界（磁束）を印加してこれらをオン・オフする。この場合、磁束という物理的媒体により、制御回路と第1と第2の半導体スイッチ素子は接続される。

【0019】前記第1及び第2の半導体スイッチ素子は、それぞれの電流路の方向性を逆向きとして直列に接続され、対称的に構成することが望ましい。

【0020】前記制御回路は、例えば、前記第1及び第2の半導体スイッチ素子の制御端子と、該第1及び第2の半導体スイッチ素子の相互に接続された各一方の電流路端子との間に共通に接続された抵抗を含む。或いは、前記制御回路は、前記第1及び第2の半導体スイッチ素子の制御端子に接続され、制御電流を制限する抵抗を含む。

【0021】前記制御回路は、オン制御時に充分に深い順バイアスを前記第1及び第2の半導体スイッチ素子に印加することが望ましい。このようにすることにより、半導体スイッチを完全にオンすることができ、半導体スイッチ素子での損失を抑えることができる。

【0022】この発明の第3の観点による半導体スイッチは、第1と第2のバイポーラトランジスタと制御回路とから構成される半導体スイッチであって、前記第1のバイポーラトランジスタは、エミッタとコレクタとベースを有し、前記エミッタと前記ベースとの間のバイアス

電圧に応じてエミッタコレクタ間の電流路を開閉制御し、前記第2のバイポーラトランジスタは、エミッタとコレクタとベースを有し、前記エミッタが前記第1のバイポーラトランジスタの前記エミッタに接続され、前記エミッタコレクタ間の電流路が前記第1のバイポーラトランジスタのエミッタコレクタ間の電流路に直列に且つ対称的に対をなして接続され、該エミッタとベースとの間のバイアス電圧に応じて前記エミッタコレクタ間の電流路を開閉制御し、前記制御回路は、前記第1及び第2のバイポーラトランジスタのベースと、該第1及び第2のトランジスタの相互に接続された各エミッタとの間にバイアス電圧を印加して、直列接続された前記電流路を制御する。

【0023】このような構成によれば、第1と第2のトランジスタが一体的にオン・オフし、電流を制限する。従って、単体のトランジスタで電流路をオン・オフする場合よりも、確実に電流路をオン・オフすることができる。また、バイアス電圧の制御により電流路をオン・オフできるので、簡単な制御で電流路をオン・オフすることができる。

【0024】さらに、第1と第2のトランジスタの電流路が逆方向に接続されているので、印加電圧の極性によらず、耐圧を確保することができる。即ち、一般に、トランジスタの耐圧はベースコレクタ間の耐圧が大きく、トランジスタの耐圧はベースエミッタ間の耐圧が小さい。この構成によれば、一方の極性の電圧がスイッチに印加された時には、一方のトランジスタのベースコレクタ間の耐圧により、主な耐圧を確保し、他方の極性の電圧がスイッチに印加された時には、他方のトランジスタのベースコレクタ間の耐圧により、主な耐圧を確保することができる。従って、この半導体スイッチを交流スイッチとして使用した場合には、十分な耐圧を確保することができる。

【0025】前記制御回路は、前記第1及び第2のバイポーラトランジスタのベースと、該第1及び第2のトランジスタの相互に接続された各エミッタとの間に共通に接続された抵抗を含んでも良い。この構成とすることにより、バイアス電圧を確保することができる。

【0026】前記制御回路は、前記第1及び第2のバイポーラトランジスタのベースに接続されたベース電流制限用の抵抗を含んでもよい。前記制御回路は、オン制御時に充分に深い順バイアスを前記第1及び第2のバイポーラトランジスタのベースエミッタ間に印加することが望ましい。この構成とすることにより、第1と第2のトランジスタを飽和領域で操作させて、エミッタコレクタの電圧を実質的に等しくし、即ち、損失なく、電流をオン・オフすることができる。

【0027】前記制御回路は、例えば、スイッチング対象の電流により充電される被充電手段と、前記被充電手段の充電電力を用いてオン・オフ制御用の信号を前記第

1及び第2の半導体スイッチ素子に印加する。前記第1と第2のトランジスタの前記エミッタと前記コレクタを構成する半導体層の厚さをほぼ等しく構成しても良い。このような構成とすることにより、エミッタ・ベース間の耐圧とコレクタ・ベース間の耐圧をほぼ等しくすることができる。従って、エミッタとコレクタの区別をあまり気にせずに交流スイッチを製造でき、しかも、耐圧を高めることができる。

【0028】前記第1と第2のトランジスタの前記エミッタを一体に（1つの半導体層で）形成してもよい。このような構成とすることにより、素子構造を簡略化し、素子サイズを抑えることができる。

【0029】前記制御回路は、前記第1及び第2のトランジスタのベースと、該第1及び第2のトランジスタの相互に接続された各エミッタとの間に共通に接続された抵抗を含んでいてもよい。前記制御回路は、オン制御時に充分に深い順バイアスを前記第1及び第2のトランジスタのベース-エミッタ間に印加することが望ましい。

【0030】この発明の第4の観点による半導体スイッチは、電流路の両端となるソース及びドレイン及び制御端子となるゲートを有し、前記ソース及びドレインの一方と前記ゲートとの間のバイアス電圧に応じて前記ソース-ドレイン間の電流路を開閉制御する第1のFET（電界効果型トランジスタ）と、電流路の両端となるソース及びドレイン及び制御端子となるゲートを有し、前記ソース及びドレインの一方を前記第1のFETの前記ソース及びドレインの一方に接続して、前記ソース-ドレイン間の電流路を前記第1のFETの電流路に直列に且つ対称的に対をなして接続し、該ソース及びドレインの一方と前記ゲートとの間のバイアス電圧に応じて前記ソース-ドレイン間の電流路を開閉制御する第2のFETと、これら対をなす第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各々のソース及びドレインの一方との間に共通のバイアス電圧を印加して、前記直列接続された電流路を制御する制御回路と、を具備する。

【0031】この構成によれば、第1と第2のFETが一体的にオン・オフし、電流路をオン又はオフする。従って、単体の半導体スイッチ素子で電流路をオン・オフする場合よりも、確実に電流路をオン・オフすることができる。また、バイアス電圧の制御により電流路をオン・オフできるので、簡単な制御で電流路をオン・オフすることができる。

【0032】前記第1及び第2のFETは、それぞれの電流路の方向性を逆向きとして直列接続して、対称的に構成してもよい。

【0033】前記制御回路は、前記第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各々のソース及びドレインの一方との間に共通に接続された抵抗を含んでいてもよい。

【0034】前記制御回路は、オン制御時に充分に深い順バイアスを前記第1及び第2のFETに印加するようにしてよい。

【0035】前記第1及び第2のFETは、ジャンクション型FETであってよい。

【0036】この発明の第5の観点による半導体スイッチは、電流路の両端となるソース及びドレイン、ならびに制御端子となるゲートを有し、前記ソースと前記ゲートとの間のバイアス電圧に応じて前記ソース-ドレイン間の電流路を開閉制御する第1のFETと、電流路の両端となるソース及びドレイン、ならびに制御端子となるゲートを有し、前記ソースを前記第1のFETの前記ソースに接続して、前記ソース-ドレイン間の電流路を前記第1のFETのソース-ドレイン間の電流路に直列に且つ対称的に対をなして接続し、該ソースとゲートとの間のバイアス電圧に応じて前記ソース-ドレイン間の電流路を開閉制御する第2のFETと、これら対をなす第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各ソースとの間に共通のバイアス電圧を印加して、前記直列接続された電流路を制御する制御回路と、を具備する。

【0037】この構成によっても、2つのFETを用いて、バイアス電圧の制御により、電流路を確実且つ効率良くオン（導通）又はオフ（遮断）することができる。

【0038】前記制御回路は、前記第1及び第2のFETのゲートと、該第1及び第2のFETの相互に接続された各ソースとの間に共通に接続された抵抗を含んでいてもよい。

【0039】前記制御回路は、オン制御時に両トランジスタを実質的に完全にオンさせ、オフ制御時に両トランジスタを実質的に完全にオフさせ、バイアスを前記第1及び第2のFETのソース-ドレイン間に印加することが望ましい。このような構成とすれば、半導体スイッチのオン抵抗をほとんど0にすることができる。

【0040】前記第1及び第2のFETは、MOS（金属酸化物半導体）型FETであってよい。

【0041】この発明の第6の観点による半導体スイッチは、電流路の両端となるソース及びドレイン及び制御端子となるゲートを有し、前記ソース及びドレインの一方と前記ゲートとの間のバイアス電圧に応じて前記ソース-ドレイン間の電流路を開閉制御するジャンクション型FETと、前記ジャンクション型FETのゲートと、前記ソース及びドレインとの間に共通のバイアス電圧を印加して、前記ソース-ドレイン間の電流路を制御する制御回路と、を具備する。

【0042】前記制御回路は、前記ジャンクション型FETのゲートに一端が接続された第1の抵抗と、それぞれアノード及びカソードを有し、前記ジャンクション型FETのソース及びドレインに各々のアノード及びカソードの一方がそれぞれ接続され、前記アノード及びカソード

ードの各他方が前記第1の抵抗の他端に共通に接続された第1及び第2のダイオードと、前記第1及び第2のダイオードにそれぞれ並列に接続された第2及び第3の抵抗と、を含んでいてもよい。

【0043】通常のジャンクション型FETはゲートにプラス電圧が印加されれば、ノーマリーオンである。従って、制御回路は、オン制御時は、特にバイアスを印加せず、オフ時には、強い逆バイアスを印加して、このジャンクション型FETをオフする。

【0044】各半導体スイッチの制御部を除いた半導体部分をモジュール化し、外部の回路等でモジュール内の半導体のオン・オフを制御してもよい。

【0045】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して説明する。図1～図3を参照して、この発明の第1の実施の形態に係る半導体スイッチを説明する。

【0046】図1は、この発明の第1の実施の形態に係る半導体スイッチの構成を模式的に示している。図1に示す半導体スイッチは、第1のトランジスタTR1、第2のトランジスタTR2及び抵抗R1、RB1、RB2を備えている。

【0047】第1及び第2のトランジスタTR1及びTR2は、いずれもNPN型のトランジスタである。トランジスタTR1は、ベースB1、コレクタC1及びエミッタE1を有している。トランジスタTR2は、ベースB2、コレクタC2及びエミッタE2を有している。

【0048】トランジスタTR1のエミッタE1は、トランジスタTR2のエミッタE1に接続され、トランジスタTR1のベースB1は電流制限用の抵抗RB1の一端に接続されている。トランジスタTR2のベースB2は電流制限用の抵抗RB2の一端に接続されている。抵抗R1の一端は、エミッタE1とエミッタE2との接続点に接続されている。抵抗R1、RB1、RB2の他端は互いに接続されている。抵抗R1、RB1、RB2の接続点は、第1のバイアス端子BT1とし、エミッタE1とエミッタE2との接続点は、第2のバイアス端子BT2として、これらの間に制御バイアスが供給される。

【0049】トランジスタTR1のコレクタC1には、接続端子TAC1が接続されている。トランジスタTR2のコレクタC2には、接続端子TAC2が接続されている。例えば、トランジスタTR1、TR2、抵抗R1、RB1、RB2は、樹脂等でモールドすることによりモジュール化されている。このモジュールに接続端子TAC1、TAC2、BT1、BT2が配置されている。

【0050】上述したように、トランジスタTR1及びTR2は、両者のエミッタ同士(E1及びE2)を相互に接続して対称構造とし、コレクタC1-エミッタE1間の電流路に直列に且つ逆方向にエミッタE2-コレクタC2間の電流路を接続している。即ち、トランジスタ

TR1及びTR2の電流路が逆方向に対称的に直列接続されている。スイッチング対象の電圧(電流)は接続端子TAC1とTAC2との間に印加(供給)される。トランジスタTR1及びTR2のベース(B1及びB2)も電流制限用抵抗RB1、RB2を介して共通に接続し、抵抗R1の両端、すなわちバイアス端子BT1及びBT2から印加される制御バイアスは、両者のベースエミッタ間に共通に与えられる。

【0051】オン・オフ制御される信号ACは交流信号でも良く、直流でも良い。この半導体スイッチのオン時、信号ACは、コレクタC1-エミッタE1-エミッタE2-コレクタC2間の電流路を流れる。

【0052】バイアス制御部BAは、バイアス端子BT1及びBT2に、オンバイアス又はオフバイアスを図1に示すように印加する。

【0053】このような構成において、オフ制御時には、バイアス制御部BAは、バイアス端子BT1にマイナス、バイアス端子BT2にプラスの制御バイアスを印加する。この制御バイアスにより、トランジスタTR1及びTR2がともにカットオフされ、コレクタC1-エミッタE1-エミッタE2-コレクタC2間の電流路が遮断される。

【0054】スイッチオフ時、遮断される電流の極性に応じて、トランジスタTR1又はTR2が、逆接続トランジスタ(インバーストランジスタとなる)。インバーストランジスタは、その耐圧が大きい。従って、大きい耐圧の半導体スイッチが得られる。

【0055】一方、オン制御時には、バイアス制御部BAは、バイアス端子BT1をプラス、バイアス端子BT2をマイナスとして、制御バイアスを印加する。この制御バイアスにより、トランジスタTR1及びTR2がともにターンオンし、コレクタC1-エミッタE1-エミッタE2-コレクタC2間の電流路が導通する。

【0056】このとき、制御バイアス電流をベースB1及びB2に充分に流すことにより、トランジスタTR1及びTR2を実質的に完全にオンさせ、飽和領域で動作させることができる。このため、トランジスタTR1のコレクタC1-エミッタE1間及びトランジスタTR2のエミッタE2-コレクタC2間の電圧降下を充分に小さくすることができ、導通時の電圧損失の少ないスイッチを実現することができる。

【0057】また、オン制御時に遮断状態から導通状態になる過程で、メカニカルスイッチ等の場合には、大きな突入電流が流れるが、図1に示した半導体スイッチでは、オフ状態からオン状態へ移行する過程では、定電流特性(ベース電圧に対応した定電流を流す特性)により、電流がほぼ一定値に制限され、大きな突入電流は流れない。

【0058】図2に、この半導体スイッチとメカニカルスイッチとの突入電流の比較を示す。図2に示す例は、

図3に示す実験回路において、図1に示すようなスイッチとメカニカルスイッチとの突入電流を実測した結果である。

【0059】図3に示す実験回路においては、スイッチ-負荷-測定用抵抗を直列に接続している。負荷は100V、200Wの誘導性負荷（白色ランプ）であり、測定用抵抗の値は0.1Ωである。このようなスイッチ-負荷-測定用抵抗の直列回路に直流100Vを印加し、測定用抵抗の両端における波形をストレージオシロスコープで計測したものである。図2では、ストレージオシロスコープで観察される測定用抵抗の端子間の電圧波形を電流値に換算して示している。このスイッチ-負荷-測定用抵抗の直列回路には、並列にコンデンサを接続している。

【0060】図2において、破線で示すメカニカルスイッチの場合には、スイッチをターンオンした際には、約18Aの突入電流が流れ、その後次第に減衰して2Aに収束する。これに対し、図1の半導体スイッチの場合には、スイッチがオンとなった直後には、ピークで約8A程度の電流が流れるが、鋭い突入電流は流れず、徐々に減衰して、2Aに収束する。したがって、各トランジスタTR1及びTR2に急激に大きな電流が流れることがなく、良好な耐電流、耐電圧特性が得られる。

【0061】なお、図1に示す半導体スイッチは、トランジスタTR1及びTR2としてNPN型のトランジスタを用いるようにしたが、PNP型のトランジスタを用いても上述と同様に実施することができる。PNP型のトランジスタの場合もエミッタ同士を接続することに変わりはなく、制御バイアスの極性をオンとオフとで逆にすればよい。

【0062】バイポーラトランジスタの耐圧は、ベース・エミッタ間が小さく、ベース・コレクタ間が大きい。このため、図1に示す構成を採用すると、オン・オフ対称の電流の極性に応じて、トランジスタTR1又はTR2の一方が逆接続（インバーストランジスタ）になり、そのベース・コレクタ間の耐圧により、大きな耐圧を得ることができる。

【0063】このような構成に使用するバイポーラトランジスタとしては、図4に示すように、エミッタ層の厚さ t_e とコレクタ層の厚さ t_c がほぼ等しいものが望ましい。この構成のバイポーラトランジスタ素子を使用すれば、エミッタとコレクタの別を気にすることなく、2つのトランジスタの電流路をカスケードに接続して半導体スイッチを形成することができる。

【0064】また、半導体基板上の素子の占有面積を低減するため、図5に示すように、2つのバイポーラトランジスタのエミッタを共通の構造としてもよい。この場合、共通エミッタの厚さを各コレクタの厚さと同一又はより厚く形成することが望ましい。

【0065】また、図6に示すように、スイッチング対

象の交流電流ACを整流回路RFで整流してスーパーコンデンサSC（二次電池等でもよい）を充電し、これをバイアス制御部BAの電源として使用してもよい。この構成によれば、半導体スイッチの制御のために別個に電源を用意する必要がなく、半導体スイッチの構成及び制御が容易となる。

【0066】また、図3に示すようにスイッチング対象の直流電流でスーパーコンデンサ又は二次電池を充電し、これをバイアス制御部BAの電源として使用してもよい。この構成によれば、半導体スイッチの制御のために別個に電源を用意する必要がなく、半導体スイッチの構成及び制御が容易となる。

【0067】図7は、この発明の第2の実施の形態に係る半導体スイッチの構成を模式的に示している。

【0068】図6に示す半導体スイッチは、半導体スイッチ素子としてMOS型FET（金属酸化物半導体型電界効果トランジスタ～以下「MOSFET素子」と称する）を用いて構成したものであり、第1のMOSFET素子MF1、第2のMOSFET素子MF2及び抵抗R1を備えている。

【0069】第1及び第2のMOSFET素子MF1及びMF2は、いずれもN型のMOSFETである。MOSFET素子MF1は、ゲートG1、ドレインD1及びソースS1を有し、MOSFET素子MF2は、ゲートG2、ドレインD2及びソースS2を有している。MOSFET素子MF1のソースS1は、MOSFET素子MF2のソースS2に接続され、MOSFET素子MF1のゲートG1は、MOSFET素子MF2のゲートG2に接続されている。

【0070】第1のMOSFET素子MF1のドレインD1には、接続端子TAC1が接続されている。第2のMOSFET素子MF2のドレインD2には、接続端子TAC2が接続されている。

【0071】抵抗R1の一端は、ソースS1とソースS2との接続点に接続され、抵抗R1の他端は、ゲートG1とゲートG2との接続点に接続される。ゲートG1とゲートG2との接続点には、第1のバイアス端子BT1が接続され、ソースS1とソースS2との接続点には、第2のバイアス端子BT2が接続されている。図示せぬバイアス回路により、第1と第2のバイアス端子BT1とBT2との間に制御バイアスが供給される。

【0072】すなわち、MOSFET素子MF1及びMF2のドレインD1-ソースS1間の電流路は、直列に且つ逆方向にソースS2-ドレインD2間の電流路に接続されている。MOSFET素子MF1及びMF2のゲート（G1及びG2）も共通に接続されている。抵抗R1の両端、すなわちバイアス端子BT1及びBT2から印加される制御バイアスは、両者のゲート-ソース間に共通に与えられる。

【0073】例えば、第1及び第2のMOSFET素子

MF 1 及び MF 2 と抵抗 R 1 は、樹脂でモールドすること等によりモジュール化されている。モジュールの外部に接続端子 TAC 1, TAC2, BT 1, BT 2 が配置されている。

【0074】半導体スイッチのオン時、制御対象の信号 AC は、ドレイン D 1 — ソース S 1 — ソース S 2 — ドレイン D 2 間の電流路を流れる。

【0075】このような構成において、オフ制御時には、図示とは逆に、ゲート G 1 及び G 2 側のバイアス端子 BT 1 をマイナス、ソース S 1 及び S 2 側のバイアス端子 BT 2 をプラスとして、制御バイアスを印加する。この制御バイアスにより、MOSFET 素子 MF 1 及び MF 2 がともにカットオフされ、ドレイン D 1 — ソース S 1 — ソース S 2 — ドレイン D 2 間の電流路が遮断される。

【0076】オン制御時には、図示のように、ゲート G 1 及び G 2 側のバイアス端子 BT 1 をプラス、ソース S 1 及び S 2 側のバイアス端子 BT 2 をマイナスとして、制御バイアスを印加する。この制御バイアスにより、MOSFET 素子 MF 1 及び MF 2 がともにターンオンされ、ドレイン D 1 — ソース S 1 — ソース S 2 — ドレイン D 2 間の電流路が導通される。この際、十分なバイアスを印加することにより、即ち、十分に深いバイアスを印加することにより、各 MOSFET 素子を飽和状態で動作させ、オン抵抗を十分に低下させることが可能になる。

【0077】なお、図 7 に示す半導体スイッチは、MOSFET 素子 MF 1 及び MF 2 として N 型の MOSFET を用いるようにしたが、P 型の MOSFET を用いても上述と同様に実施することができる。P 型の MOSFET の場合もソース同士を接続することに変わりはなく、制御バイアスの極性のみをオンとオフとで逆にすればよい。

【0078】また、MOSFET 素子としては、エンハンスマント型に限らず、デプレッション型のものを使用することも可能である。例えば、ゲート領域に不純物を注入してノーマリーオン状態の MOSFET 素子を使用することにより、オン時は 0 又はわずかなバイアスで両 MOSFET を十分にオンさせ、オン抵抗の小さい半導体スイッチを得ることができる。ただし、オフ時には、両 MOSFET 素子を十分オフさせるバイアスを印加する必要がある。

【0079】MOSFET 素子として、ソースとドレインの構造が実質的に等しいものを使用すれば、MOSFET の電流路の向きを気にすることなく、半導体スイッチを構成することができる。また、図 8 に示すように、2 つの MOSFET 素子として、ソース領域が共通の構成のものを使用すれば、ディスクリート部材としての半導体スイッチのサイズを小さくすることができる。

【0080】図 9 は、この発明の第 3 の実施の形態に係

る半導体スイッチの構成を模式的に示している。図 9 に示す半導体スイッチは、半導体スイッチ素子として N 型のジャンクション型 FET (金属酸化物半導体型電界効果トランジスタ～以下「JFET 素子」と称する) を用いて構成したものであり、JFET 素子 JF、ダイオード D 1, D 2、抵抗 R 2, R 3 及び R 4 を備えている。

【0081】JFET では、ソースとドレインとは等価であり、特に区別する必要がないので、電流路の両端がいずれもソースとしてもドレインとしても機能する。そこで、ここでは、ソース又はドレインをソース／ドレインと称する。JFET 素子 JF は、N 型の JFET であり、ソース／ドレイン SD 1, SD 2 及びゲート G を有する。

【0082】JFET 素子 JF の一方のソース／ドレイン SD 1 には、接続端子 TAC1 とダイオード D 1 のカソードと抵抗 R 2 の一端とが共通に接続されている。JFET 素子 JF の他方のソース／ドレイン SD 2 には、接続端子 TAC2 とダイオード D 2 のカソードと抵抗 R 3 の一端とが共通に接続される。

【0083】JFET 素子 JF のゲート G には、抵抗 R 4 の一端が接続され、この抵抗 R 4 の他端には、ダイオード D 1 のアノード、抵抗 R 2 の他端、ダイオード D 2 のアノード及び抵抗 R 3 の他端が共通接続される。ゲート G は、第 1 のバイアス端子 BT 1 とし、抵抗 R 4 の他端、ダイオード D 1 のアノード、抵抗 R 2 の他端、ダイオード D 2 のアノード及び抵抗 R 3 の他端の共通接続点は第 2 のバイアス端子 BT 2 として、これらの間に制御バイアスが供給される。

【0084】すなわち、JFET 素子 JF は、本質的に対称構造を有しており、制御される信号 AC はソース／ドレイン SD 1 — ソース／ドレイン SD 2 間の電流路を流れる。抵抗 R 4 の両端、すなわちバイアス端子 BT 1 及び BT 2 から印加される制御バイアスは、JFET 素子 JF のゲート G と両ソース／ドレイン SD 1 及び SD 2 との間に共通に与えられる。

【0085】このような構成において、オフ制御時には、ゲート G 側のバイアス端子 BT 1 をマイナス、ソース／ドレイン SD 1 及び SD 2 側のバイアス端子 BT 2 をプラスとして、制御バイアスを印加する。この制御バイアスにより、JFET 素子 JF がカットオフされ、ソース／ドレイン SD 1 — ソース／ドレイン SD 2 間の電流路が遮断される。

【0086】JFET 素子は、ゲートにプラス電位が印加されると、基本的にはノーマリーオン状態となる。このため、オン制御時には、図示のように、ゲート G 側のバイアス端子 BT 1 をプラス、ソース／ドレイン SD 1 及び SD 2 側のバイアス端子 BT 2 をゼロ又はマイナスとして、制御バイアスを印加する。この制御バイアスにより、JFET 素子 JF がターンオンされ、ソース／ドレイン SD 1 — ソース／ドレイン SD 2 間の電流路が導

通される。

【0087】なお、図9に示す半導体スイッチは、J FET素子J FとしてN型のJ FET素子を用いるようにしたが、P型のJ FET素子を用いても上述と同様に実施することができる。P型のJ FET素子の場合は、制御バイアスの極性をオンとオフとで逆にすればよい。

【0088】図10は、この発明の第4の実施の形態に係る半導体スイッチの構成を模式的に示している。図10に示す半導体スイッチを、図7の構成におけるMOS FET素子に代えてJ FET素子を用いて構成したものである。図10の半導体スイッチは、第1のJ FET素子J F 1、第2のJ FET素子J F 2及び抵抗R 1を備えている。

【0089】第1及び第2のJ FET素子J F 1及びJ F 2は、いずれもN型のJ FET素子である。J FET素子J F 1は、ソース／ドレインSD 1 1、SD 1 2及びゲートG 1 1を有し、J FET素子J F 2は、ソース／ドレインSD 2 1、SD 2 2及びゲートG 2 1を有している。J FET素子J F 1の一方のソース／ドレインSD 1 2は、J FET素子J F 2の一方のソース／ドレインSD 2に接続され、J FET素子J F 1のゲートG 1 1は、J FET素子J F 2のゲートG 2 1に接続されている。

【0090】スイッチング対象の電圧（電流）が印加される接続端子TAC1がJ FET素子J F 1の他方のソース／ドレインSD 1 1に接続され、スイッチング対象の電圧（電流）が印加される接続端子TAC2がJ FET素子J F 2の他方のソース／ドレインSD 2 2に接続されている。

【0091】抵抗R 1の一端は、ソース／ドレインSD 1 2とソース／ドレインSD 2 1との接続点に接続され、抵抗R 1の他端は、ゲートG 1 1とゲートG 1 2との接続点に接続される。ゲートG 1 1とゲートG 1 2との接続点は、第1のバイアス端子BT 1とし、ソース／ドレインSD 1 2とソース／ドレインSD 2 1との接続点は、第2のバイアス端子BT 2として、これらの間に制御バイアスが供給される。

【0092】すなわち、J FET素子J F 1及びJ F 2は、両者の各一方のソース／ドレイン同士（SD 1 2及びSD 2 1）を相互に接続して対称構造とし、ソース／ドレインSD 1 1—ソース／ドレインSD 1 2間の電流路に直列にソース／ドレインSD 2 1—ソース／ドレインSD 2 2間の電流路を接続している。J FET素子J F 1及びJ F 2のゲート（G 1 1及びG 2 1）も共通に接続し、抵抗R 1の両端、すなわちバイアス端子BT 1及びBT 2から印加される制御バイアスは、両者のゲート—ソース／ドレイン間に共通に与えられる。

【0093】制御される信号ACは、ソース／ドレインSD 1 1—ソース／ドレインSD 1 2—ソース／ドレインSD 2 1—ソース／ドレインSD 2 2間の電流路を流

れる。

【0094】このような構成において、オフ制御時には、図示とは逆に、ゲートG 1 1及びG 2 1側のバイアス端子BT 1をマイナス、ソース／ドレインSD 1 2及びSD 2 1側のバイアス端子BT 2をプラスとして、制御バイアスを印加する。この制御バイアスにより、J FET素子J F 1及びJ F 2がともにカットオフされ、ソース／ドレインSD 1 1—ソース／ドレインSD 1 2—ソース／ドレインSD 2 1—ソース／ドレインSD 2 2間の電流路が遮断される。

【0095】オン制御時には、図示のように、ゲートG 1 1及びG 2 1側のバイアス端子BT 1をプラス、ソース／ドレインSD 1 2及びSD 2 1側のバイアス端子BT 2を0又はマイナスとして、制御バイアスを印加する。この制御バイアスにより、J FET素子J F 1及びJ F 2がともにターンオンされ、ソース／ドレインSD 1 1—ソース／ドレインSD 1 2—ソース／ドレインSD 2 1—ソース／ドレインSD 2 2間の電流路が導通される。

【0096】なお、図10に示す半導体スイッチは、J FET素子J F 1及びJ F 2としてN型のJ FETを用いるようにしたが、P型のJ FETを用いても上述と同様に実施することができる。P型のJ FETの場合も一方のソース／ドレイン同士を接続することに変わりはなく、制御バイアスの極性のみをオンとオフとで逆にすればよい。

【0097】なお、大電流をオン・オフ制御できる半導体素子として、S I T (Static Induction Transistor) が知られている。この半導体素子は、基本的には、例えば、図11に示すように、上面にソース電極、下面にドレイン電極が形成されたn型の半導体層中に金属細線からなるゲートを差し込んだ構成を有しており、ゲートに印加する電圧を制御することにより、金属細線近傍の空乏層のサイズを制御して、電流をオン・オフするものである。この半導体素子を、図7のMOSFET素子又は図11のJ FET素子に代えて使用することにより、S I Tをスイッチ素子として用いた半導体スイッチを製造することも可能である。

【0098】図12は、この発明の第5の実施の形態に係る半導体スイッチを用いた電源制御回路の構成を模式的に示している。図12に示す電源制御回路は、図7に示したのと同様の半導体スイッチを応用した回路であり、図7と同様の部分には同符号を付す。

【0099】MOSFET素子MF 1のドレインD 1—MOSFET素子MF 1のソースS 1—MOSFET素子MF 2のソースS 2—MOSFET素子MF 2のドレインD 2間の電流路に直列に、負荷Lが接続されている。このドレインD 1—ソースS 1—ソースS 2—ドレインD 2間の電流路と負荷Lとの直列回路に交流信号ACが印加され、この交流信号ACが負荷Lに対する電源

となっている。抵抗R1の両端間には、制御スイッチSW及びバイアス電源Eが直列に接続されている。

【0100】このような構成において、制御スイッチSWをオンとすることにより、バイアス電源Eの出力が、MOSFET MF1及びMF2に順バイアスを供給し、MOSFET MF1及びMF2は同時にオン制御される。その結果、負荷Lに電源としての交流信号ACが供給される。また、制御スイッチSWをオフとすると、バイアス電源Eの出力が、MOSFET MF1及びMF2から切り離されて逆バイアスを呈するようにして、MOSFET MF1及びMF2を同時にオフとする。このため、負荷Lに対する電源供給は絶たれる。

【0101】なお、上記実施例の半導体スイッチは、比較的高電圧、大電流のスイッチング、特に、交流電流のスイッチングに適しているが、図3に示すように、直流電流のスイッチングにも好適である。また、比較的低い電圧、小電流のスイッチングにも適用可能である。また、この発明は、上記実施の形態に限定されず、種々の変形及び応用が可能である。

【0102】例えば、半導体スイッチ素子として、フォトダイオードやフォトトランジスタを使用することも可能である。フォトトランジスタを使用する場合、例えば、第1のフォトトランジスタと第2のフォトトランジスタのエミッタ同士が接続され、ここに、基準電圧が印加される。また、第1のフォトトランジスタのコレクタと第2のフォトトランジスタのコレクタとの間にスイッチング対象の電圧が印加される。バイアス制御部BAは、例えば、外部からのオン・オフの指示に従って、オンの時は、光バイポーラトランジスタの受光面に光を照射し、オフの時は、光バイポーラトランジスタの受光面への光の照射を停止する。この場合は、半導体スイッチ素子とバイアス制御部BAとは、光により接続されることになる。

【0103】また、半導体スイッチ素子として、ホール素子を使用することも可能である。この場合、例えば、第1のホール素子の電流路と第2のホール素子の電流路とが直列に接続される。そして、各ホール素子の電圧端子間に一定の電圧が印加される。バイアス制御部BAは、オンの時は、電流路及び電圧印加方向に垂直方向に磁界（磁束）を印加し、オフの時は、磁界（磁束）をオフする。この場合は、半導体スイッチ素子とバイアス制御部BAとは、磁界（磁束）により接続されることになる。

【0104】

【発明の効果】以上説明したように、この発明によれば、電気的制御に直接応動し、高速動作が可能で、オン時の電圧降下及び電力損失を低く抑え、オフ時の耐圧の

高い半導体スイッチを提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体スイッチの構成を模式的に示す回路構成図である。

【図2】図1の半導体スイッチの動作を説明するためのスイッチング特性波形図である。

【図3】図2のスイッチング特性波形を測定した実験回路の構成を示すブロック図である。

【図4】図1の半導体スイッチを構成するのに適したトランジスタの素子構造の例を示す図である。

【図5】図1の半導体スイッチの素子構造の例を示す図である。

【図6】バイアス制御部の改良例を示す図である。

【図7】この発明の第2の実施の形態に係る半導体スイッチの構成を模式的に示す回路構成図である。

【図8】図7に示す半導体スイッチを構成する素子の素子構造を示す図である。

【図9】この発明の第3の実施の形態に係る半導体スイッチの構成を模式的に示す回路構成図である。

【図10】この発明の第4の実施の形態に係る半導体スイッチの構成を模式的に示す回路構成図である。

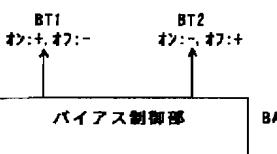
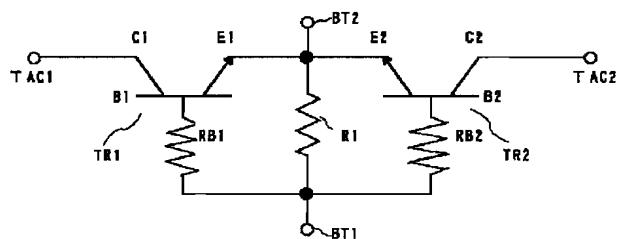
【図11】SITの基本構成を示す図である。

【図12】この発明の第5の実施の形態に係る半導体スイッチを用いた電源制御回路の構成を模式的に示す回路構成図である。

【符号の説明】

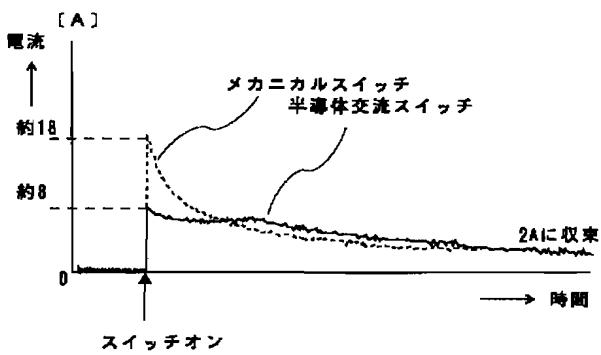
TR1, TR2	トランジスタ
R1～R4, RB1, RB2	抵抗
B1, B2	ベース
E1, E2	エミッタ
C1, C2	コレクタ
BT1, BT2	バイアス端子
BA	バイアス制御部
MF1, MF2	金属酸化物半導体型電界効果トランジスタ（MOSFET）
G, G1, G2, G11, G21	ゲート
S1, S2	ソース
D1, D2	ドレイン
JF, JF1, JF2	ジャンクション電界効果トランジスタ（JFET）
SD1, SD2, SD11, SD12, SD21, SD22	ソース／ドレイン
D1, D2	ダイオード
L	負荷
SW	制御スイッチ
E	電源

【図1】



【図3】

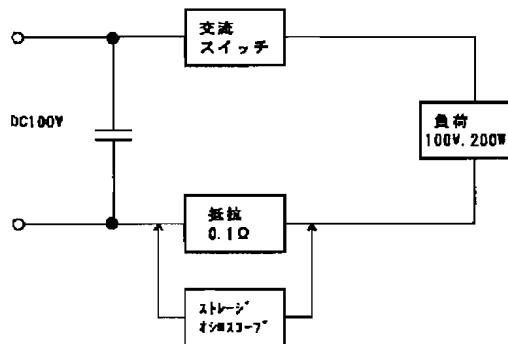
【図2】



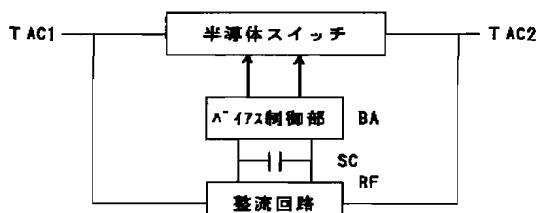
【図5】



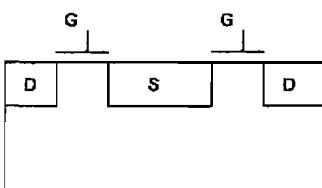
【図4】



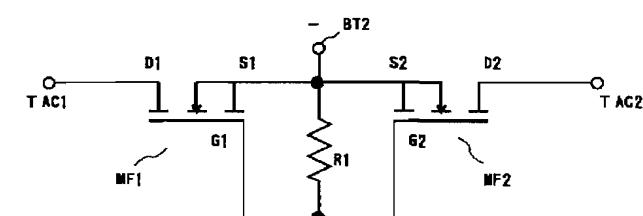
【図6】



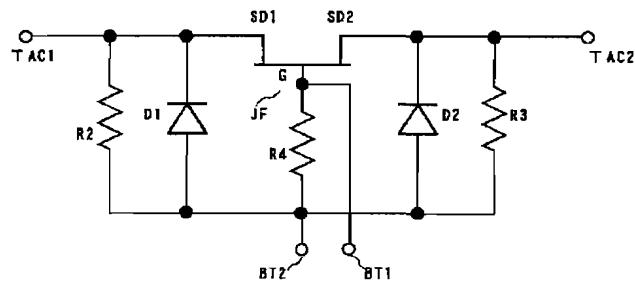
【図8】



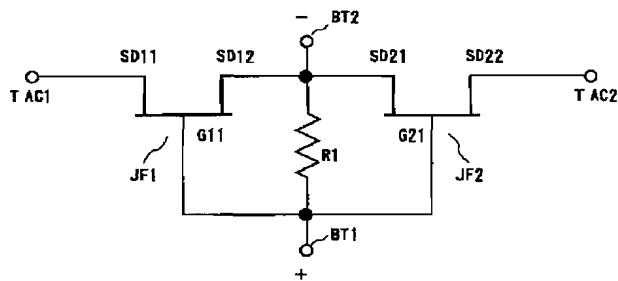
【図7】



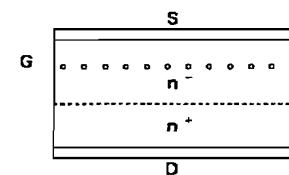
【図9】



【図10】



【図11】



【図12】

